

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-215563

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.⁶

H 0 2 M 3/07

識別記号

F I

H 0 2 M 3/07

審査請求 未請求 請求項の数1 OL (全 9 頁)

(21) 出願番号 特願平9-14822

(22) 出願日 平成9年(1997) 1月29日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 田中 寿昌

京都市右京区西院溝崎町21番地 ローム株式会社内

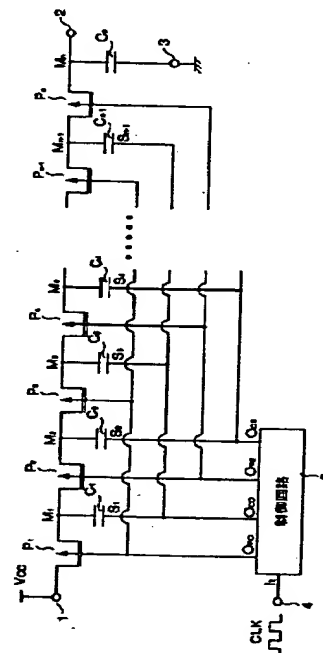
(74) 代理人 弁理士 佐野 静夫

(54) 【発明の名称】 昇圧回路

(57) 【要約】

【課題】 実質的に電圧損失がない、良好な昇圧効率を有する昇圧回路を提供する。

【解決手段】 第 m コンデンサ C_m ($m=1, 2, \dots, n-1$) のスイッチング素子に接続されていない側 (S_m) への印加電圧がローレベルからハイレベルに切り換わる際、及び、第 $(m+1)$ スイッチング素子 P_{m+1} がOFFからONに切り換わる際には、第 m スイッチング素子 P_m がOFFであり、また、第 m コンデンサ C_m のスイッチング素子に接続されていない側 (S_m) への印加電圧がハイレベルからローレベルに切り換わる際、及び、第 m スイッチング素子 P_m がOFFからONに切り換わる際には、第 $(m+1)$ スイッチング素子 P_{m+1} がOFFであることを特徴としている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 入力端子と出力端子との間に、第1スイッチング素子を入力端子側にし、第nスイッチング素子を出力端子側にし、第1スイッチング素子、第2スイッチング素子、…、第nスイッチング素子の順に直列に接続されたn個（nは $n \geq 2$ の整数）の実質的に電圧降下のないスイッチング素子と、

第mコンデンサ（ $m = 1, 2, \dots, n-1$ ）の一端が第mスイッチング素子と第（ $m+1$ ）スイッチング素子との間に接続されており、第nコンデンサの一端が第nスイッチング素子の出力端子側に接続されているとともに、その他端が基準電位に接続されるn個のコンデンサとを有し、

前記n個のスイッチング素子のON/OFFの切り換え、及び、前記n個のコンデンサのスイッチング素子に接続されていない側への印加電圧のハイレベル/ローレベルの切り換えを行うことによって、入力端子から入力する電圧を昇圧して出力端子から出力する昇圧回路において、

第mコンデンサのスイッチング素子に接続されていない側への印加電圧がローレベルからハイレベルに切り換わる際、及び、第（ $m+1$ ）スイッチング素子がOFFからONに切り換わる際には、第mスイッチング素子がOFFであり、また、第mコンデンサのスイッチング素子に接続されていない側への印加電圧がハイレベルからローレベルに切り換わる際、及び、第mスイッチング素子がOFFからONに切り換わる際には、第（ $m+1$ ）スイッチング素子がOFFであることを特徴とする昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力電圧を昇圧して出力する昇圧回路に関するものである。

【0002】

【従来の技術】 昇圧回路の第1従来例を図9に示す。同図において、1は入力端子、2は出力端子、3は基準電位接続端子、4はクロック入力端子、 D_1 及び D_2 はダイオード、 C_1 及び C_2 はコンデンサであって、コンデンサ C_1 、 C_2 の一端は直列接続されたダイオード D_1 、 D_2 のカソード側にそれぞれ接続されており、コンデンサ C_1 、 C_2 の他端はクロック入力端子4、基準電位接続端子3にそれぞれ接続されている。

【0003】 以上の構成の昇圧回路では、入力端子1を電源電圧 V_{cc} に接続し、基準電位接続点3をグランド電位に接続し、クロック入力端子4にハイレベルが V_{cc} で、ローレベルが0のクロックCLK₁を与えることによって、以下に示すような動作をする。尚、ダイオード D_1 、 D_2 の順方向降下電圧を V_f とする。

【0004】 まず、クロックCLK₁が0のときは、コンデンサ C_1 、 C_2 にそれぞれ電荷が蓄えられて、 A_1 点

の電位は $V_{cc} - V_f$ 、 B_1 点の電位は $V_{cc} - 2V_f$ となる。次に、クロックCLK₁が V_{cc} になったときは、コンデンサの電荷保存則により、 A_1 点の電位は $2V_{cc} - V_f$ となるが、ダイオード D_1 によりコンデンサ C_1 に蓄えられた電荷が電源電圧 V_{cc} 側へ放出することではなく、すぐに、 A_1 点の電位= B_1 点の電位+ V_f となるようにコンデンサ C_1 に蓄えられた電荷がコンデンサ C_2 に移動して、 B_1 点の電位が上昇する（ A_1 点の電位は $2V_{cc} - V_f$ より低くなる）。その後は、クロックCLK₁が0になっても、ダイオード D_2 により B_1 点の電位は維持される。このようにして、 B_1 点の電位はクロックが立ち上がる毎に上昇し、 $2(V_{cc} - V_f)$ に漸近していき、出力端子2からは $2(V_{cc} - V_f)$ の電圧が出力される（図10参照）。

【0005】 昇圧回路の第2従来例を図11に示す。同図において、1は入力端子、2は出力端子、3は基準電位接続端子、4はクロック入力端子、 P_1 、 P_2 、及び、 P_3 はpチャネルMOS型FET（以下、pMOSと略記する）、 N_1 はnチャネルMOS型FET（以下、nMOSと略記する）、 C_1 及び C_2 はコンデンサである。

【0006】 そして、pMOSP₁、 P_2 は、pMOSP₁を入力端子1側にし、pMOSP₂を出力端子2側にし、入力端子1と出力端子2との間に直列に接続されており、pMOSP₃とnMOSN₁は、pMOSP₃を入力端子1側にnMOSN₁を基準電位接続端子3側にし、入力端子1と基準電位接続端子3との間に直列に接続されている。また、コンデンサ C_1 はpMOSP₁とpMOSP₂との接続点とpMOSP₃とnMOSN₁との接続点との間に接続されており、コンデンサ C_2 は出力端子2と基準電位接続端子3との間に接続されている。また、pMOSP₁、 P_2 、 P_3 、及び、nMOSN₁のゲートにはクロック入力端子4が接続されており、pMOSP₁のゲートについては不図示の反転回路を介して接続されている。

【0007】 以上の構成の昇圧回路では、入力端子1を電源電圧 V_{cc} に接続し、基準電位接続端子3をグランド電位に接続し、クロック入力端子4に所定のクロックCLK₂を与えることによって、以下に示すような動作をする。

【0008】 まず、クロックCLK₂がハイレベルであるときは、pMOSP₁及びnMOSN₁がON、pMOSP₂、 P_3 がOFFであり、コンデンサ C_1 に電荷が蓄えられて、 A_2 点の電位は V_{cc} となる。一方、クロックCLK₂がローレベルであるときは、pMOSP₂、 P_3 がON、pMOSP₁及びnMOSN₁がOFFであり、クロックCLK₂がローレベルであるときにコンデンサ C_1 に蓄えられた電荷により、 A_2 点の電位は $2V_{cc}$ に上昇するが、すぐさま、 A_2 点の電位と B_2 点の電位と等しくなるように、コンデンサ C_1 に蓄えられた電荷がコンデンサ C_2 に移動して、 B_2 点の電位（コンデンサ C_2 、

の電圧)が上昇する(A_2 点の電位は $2V_{cc}$ より低くなる)。このようにして、 B_2 点の電位はクロック CLK_2 がハイレベルになる毎に上昇し、 $2V_{cc}-\Delta V$ 。($-\Delta V$ については後述する)に漸近していき、出力端子2からは $2V_{cc}-\Delta V$ の電圧が出力される(図12参照)。

【0009】

【発明が解決しようとする課題】しかしながら、上記第1従来例の昇圧回路では、スイッチング素子(ダイオード)での電圧降下分(上記例では $2V_f$)だけの損失があり、昇圧効率がよくない。また、上記第2従来例の昇圧回路では、スイッチング素子としてMOS型FETを用いており、スイッチング素子での電圧降下は実質的にない(無視できる)ので、第1従来例の昇圧回路ほど昇圧効率は悪くないが、昇圧電圧に損失 ΔV が発生する。

【0010】この損失 ΔV が発生する理由について説明すると、 $pMOSP_1$ と $pMOSP_2$ とは互いに逆位相でONするが、上記第2従来例の構成では、必ず両者が同時にONしているタイミングが発生してしまい、そのときには、電源電圧 V_{cc} 以上に昇圧されたコンデンサ C_1 から $pMOSP_2$ 、 P_2 を介して電源電圧 V_{cc} が接続された入力端子1側へ電流が流れ(コンデンサ C_1 に蓄えられた電荷が放出し)、その分、コンデンサ C_2 の電圧が低下してしまうからである。

【0011】尚、実際には、 $pMOSP_1$ と $pMOSP_2$ だけではなく、 $pMOSP_3$ と $nMOSN_1$ を含めた4つのトランジスタが全て同時にONしているタイミングが発生しており、コンデンサ C_1 に蓄えられた電荷も放出してしまうので、 $pMOSP_2$ 、 P_2 がON、 $pMOSP_1$ 、 $nMOSN_1$ がOFFの状態に確定したときにはコンデンサ C_1 の電圧が V_{cc} より低くなっており、 A_2 点及び B_2 点の電位は $2V_{cc}$ まで上昇しきれないので、 ΔV 以上の損失が発生している。

【0012】このように、従来の昇圧回路では、昇圧電圧に損失が発生しており、この損失分を補うために、必要以上に昇圧段(1つのスイッチング素子と1つのコンデンサとの組み合わせ)を設けることになり、不経済であるとともに、回路面積も大きくなってしまふ。

【0013】そこで、本発明は、実質的に電圧損失がない、良好な昇圧効率を有する昇圧回路を提供することを目的とする。

【0014】

【課題を解決するための手段】上記の目的を達成するため、本発明の昇圧回路では、入力端子と出力端子との間に、第1スイッチング素子を入力端子側にし、第 n スイッチング素子出力端子側にし、第1スイッチング素子、第2スイッチング素子、 \dots 、第 n スイッチング素子の順に直列に接続された n 個(n は $n \geq 2$ の整数)の実質的に電圧降下のないスイッチング素子と、第 m コ

ンデンサ($m=1, 2, \dots, n-1$)の一端が第 m スイッチング素子と第 $(m+1)$ スイッチング素子との間に接続されており、第 n コンデンサの一端が第 n スイッチング素子の出力端子側に接続されているとともに、その他端が基準電位に接続される n 個のコンデンサとを有し、前記 n 個のスイッチング素子のON/OFFの切り換え、及び、前記 n 個のコンデンサのスイッチング素子に接続されていない側への印加電圧のハイレベル/ローレベルの切り換えを行うことによって、入力端子から入力する電圧を昇圧して出力端子から出力する昇圧回路において、第 m コンデンサのスイッチング素子に接続されていない側への印加電圧がローレベルからハイレベルに切り換わる際、及び、第 $(m+1)$ スイッチング素子がOFFからONに切り換わる際には、第 m スイッチング素子がOFFであり、また、第 m コンデンサのスイッチング素子に接続されていない側への印加電圧がハイレベルからローレベルに切り換わる際、及び、第 m スイッチング素子がOFFからONに切り換わる際には、第 $(m+1)$ スイッチング素子がOFFであることを特徴としている。

【0015】以上の構成の昇圧回路において、第 m コンデンサと第 $(m+1)$ コンデンサとの隣接する2つのコンデンサ、及び、これらのコンデンサに係わる第 m スイッチング素子と第 $(m+1)$ スイッチング素子との2つのスイッチング素子について着目すると、前段のコンデンサ(第 m コンデンサ)のスイッチング素子に接続されていない側への印加電圧がローレベルからハイレベルに切り換わるとともに、次段のスイッチング素子(第 $(m+1)$ スイッチング素子)がOFFからONに切り換わることによって、前段のコンデンサから次段のコンデンサ(第 $(m+1)$ コンデンサ)に電荷が転送されるが、この際には、前段のスイッチング素子(第 m スイッチング素子)がOFFであるので、前段のコンデンサに蓄えられた電荷が次段のコンデンサ以外に放出することはない。

【0016】また、前段のコンデンサのスイッチング素子に接続されていない側への印加電圧がハイレベルからローレベルに切り換わる、前段のスイッチング素子がOFFからONに切り換わる、あるいは、次段のスイッチング素子がONからOFFに切り換わることによって、前段のコンデンサから次段のコンデンサへの電荷の転送が終了するが、前段のコンデンサのスイッチング素子に接続されていない側への印加電圧がハイレベルからローレベルに切り換わる際、及び、前段のスイッチング素子がOFFからONに切り換わる際には、次段のスイッチング素子がOFFであることからして、次段のスイッチング素子をONからOFFに切り換えるという動作のみによって、前段のコンデンサから次段のコンデンサへの電荷の転送を終了するので、次段のコンデンサに蓄えられた電荷が前段のコンデンサあるいは電源電圧側へ逆流

することはない。

【0017】以上より、本発明の構成によれば、最終段のコンデンサ（第 n コンデンサ）の電圧、すなわち、昇圧回路の出力電圧は、昇圧元電圧（電源電圧、及び、各コンデンサのスイッチング素子に接続されていない側への印加電圧（ハイレベルとローレベルとの差））を V_{cc} とすると、 $n \times V_{cc}$ となり、昇圧元電圧の整数倍の電圧が得られ、寄生容量や配線抵抗を無視すれば、昇圧電圧に損失は殆ど発生しない。

【0018】

【発明の実施の形態】以下に、本発明の実施形態を図面を参照しながら説明する。図1は本発明の第1実施形態である昇圧回路の構成を示す図であって、1は入力端子、2は出力端子、3は基準電位接続端子、4はクロック入力端子、5は制御回路、 P_1 及び P_2 はpMOS、 C_1 及び C_2 はコンデンサである。尚、本第1実施形態においては、コンデンサ C_1 の容量 \geq コンデンサ C_2 の容量としている。

【0019】そして、pMOSP₁、 P_2 は、pMOSP₁を入力端子1側にし、pMOSP₂を出力端子2側にし、入力端子1と出力端子2との間に直列に接続されている。また、コンデンサ C_1 の一端はpMOSP₁とpMOSP₂との接続点に接続されており、コンデンサ C_2 は出力端子2と基準電位接続端子3との間に接続されている。また、制御回路5は、1つの入力端子 I_1 と3つの出力端子 O_{11} 、 O_{12} 、 O_{13} を有しており、入力端子 I_1 にはクロック入力端子4が接続されており、出力端子 O_{11} 、 O_{13} にはpMOSP₁、 P_2 のゲートがそれぞれ接続されており、出力端子 O_{12} にはコンデンサ C_1 のpMOSP₁とpMOSP₂との接続点に接続されていない側が接続されている。

【0020】次に、制御回路5の構成を図2に示す。同図において、51及び54は抵抗及びコンデンサからなる遅延回路、52及び57はOR回路、53はバッファ回路、55及び56は反転回路である。そして、OR回路52の2つの入力の一つは入力端子 I_1 にそのまま接続されており、他方は遅延回路51を介して入力端子 I_1 に接続されており、その出力は出力端子 O_{11} に接続されている。また、バッファ回路53の入力は遅延回路51を介して入力端子 I_1 に接続されており、その出力は出力端子 O_{12} に接続されている。また、OR回路57の2つの入力の一つは遅延回路54及び反転回路55を介してバッファ回路53の出力に接続されており、他方は反転回路56を介して入力端子 I_1 に接続されており、その出力は出力端子 O_{13} に接続されている。尚、バッファ回路53のハイレベル出力とローレベル出力との間には V_{cc} の差があるものとし、以降の説明では、ハイレベル出力を V_{cc} 、ローレベル出力を0としている。

【0021】以上の構成により、制御回路5の入出力関係は、入力端子 I_1 に1つのパルスを与えると、図3に

示すように、出力端子 O_{11} からの出力はパルスの立ち上がりと同時にハイレベルとなり、パルスが立ち下がると遅延回路51による遅延時間 T_1 の経過後ローレベルとなり、また、出力端子 O_{12} からの出力はパルスが立ち上がると遅延回路51による遅延時間 T_1 の経過後ハイレベル（ V_{cc} ）となり、パルスが立ち下がると遅延回路51による遅延時間 T_1 の経過後ローレベル（0）となり、また、出力端子 O_{13} からの出力はパルスが立ち上がると遅延回路51による遅延時間 T_1 及び遅延回路54による遅延時間 T_2 の経過後ローレベルとなり、パルスの立ち下がりと同時にハイレベルとなる。

【0022】以上の構成の制御回路5を有する図1に示す昇圧回路の入力端子1を電源電圧 V_{cc} に接続し、基準電位接続端子3をグランド電位に接続し、クロック入力端子4に所定のクロックCLKを与えた際の動作を図4を用いて説明する。

【0023】まず、クロックCLKの立ち上がりと同時に、制御回路5の出力端子 O_{11} からの出力がハイレベルとなって、pMOSP₁がOFFとなり、電源電圧によるコンデンサ C_1 の充電を終了する（この時点でコンデンサ C_1 の電圧は V_{cc} となっている）。次に、時間 T_1 の経過後、制御回路5の出力端子 O_{11} からの出力がハイレベルとなって、コンデンサ C_1 のpMOSP₁とpMOSP₂との接続点に接続されていない側のS点の電位はハイレベル（ V_{cc} ）となり、コンデンサの電荷保存則により、pMOSP₁とpMOSP₂との接続点であるM点の電位は $2V_{cc}$ に上昇する。

【0024】次に、時間 T_2 の経過後、制御回路5の出力端子 O_{13} からの出力がローレベルとなって、pMOSP₂がONとなり、コンデンサ C_2 の出力端子2側のF点の電位とM点の電位とが等しくなるようにコンデンサ C_1 、 C_2 間で電荷が移動するが、このときにはM点の電位の方がF点の電位よりも低いことはあり得ないので、コンデンサ C_1 からコンデンサ C_2 へ電荷が移動し、コンデンサ C_2 の電圧、すなわち、F点の電位が上昇する。

【0025】そして、クロックCLKの立ち下がりと同時に、制御回路5の出力端子 O_{11} からの出力がハイレベルとなって、pMOSP₁がOFFとなり、コンデンサ C_1 の充電（コンデンサ C_1 からコンデンサ C_2 への電荷の転送）を終了する。次に、時間 T_1 の経過後、制御回路5の出力端子 O_{11} 及び O_{12} からの出力がローレベルとなって、pMOSP₁がONとなるとともに、S点の電位がローレベル（0）に立ち下がり、M点の電位は一瞬 V_{cc} 以下に低下するが、すぐさま、コンデンサ C_1 が電源電圧により充電されて V_{cc} に復帰する。

【0026】このようにして、クロックCLKが立ち上がる毎に、F点の電位は上昇していき、出力端子2からは昇圧元電圧である電源電圧 V_{cc} とコンデンサのスイッチング素子に接続されていない側への印加電圧 V_{cc} との合計電圧 $2V_{cc}$ の出力が得られ、昇圧電圧に損失は発生

10

20

30

40

50

しない。この理由は以下に示す通りである。

【0027】それは、前段のコンデンサ（コンデンサ C_1 ）のスイッチング素子（ $pMOS$ ）に接続されていない側（S点）の電位をハイレベルにするとともに、後段のスイッチング素子（ $pMOSP_2$ ）をONさせることによって、前段のコンデンサに蓄えられた電荷を後段のコンデンサ（コンデンサ C_2 ）に転送するが、その前には、前段のスイッチング素子（ $pMOSP_1$ ）が確実にOFFとなっているので、前段のコンデンサに蓄積された電荷が後段のコンデンサ以外に放出することなく、また、前段のコンデンサのスイッチング素子に接続されていない側の電位をローレベルにする、前段のスイッチング素子をONさせる、あるいは、後段のスイッチング素子をOFFさせることによって、前段のコンデンサから後段のコンデンサへの電荷の転送を終了するが、前段のコンデンサのスイッチング素子に接続されていない側の電位をローレベルにする際、及び、前段のスイッチング素子をONさせる際には、後段のスイッチング素子が確実にOFFとなっていることからして、後段のスイッチング素子をOFFさせることのみによって、前段のコンデンサから後段のコンデンサへの電荷の転送を終了するので、後段のコンデンサに蓄えられた電荷が前段のコンデンサあるいは電源電圧側へ逆流することはないからである。

【0028】尚、S点の電位をローレベルにするタイミングと、前段のスイッチング素子をONにするタイミングとの前後関係については、上記第1実施形態においては同時にしているが、必ずしもこのようにする必要はなく、S点の電位をローレベルにしてから前段のスイッチング素子をONにするようにしてもよいし、前段のスイッチング素子をONにしてからS点の電位をローレベルにするようにしてもよい。

【0029】同じく、S点の電位をハイレベルにするタイミングと、後段のスイッチング素子をONにするタイミングとの前後関係については、上記第1実施形態においてはS点の電位をハイレベルにしてから後段のスイッチング素子をONにしているが、必ずしもこのようにする必要はなく、後段のスイッチング素子をONにしてからS点の電位をハイレベルにしてもよいし、S点の電位をハイレベルにするタイミングと、後段のスイッチング素子をONにするタイミングとを同時になるようにしてもよい。

【0030】次に、本発明の第2実施形態である昇圧回路の構成を図5に示す。本第2実施形態の昇圧回路では、上記第1実施形態の昇圧回路では昇圧段を2段しか設けていないのに対して、昇圧段を n 段設け（ $n > 2$ ）、これに応じて、スイッチング素子のON/OFF及びコンデンサのスイッチング素子に接続されていない側への印加電圧の切り換えを行う制御回路の構成を変更している。

【0031】図5において、1は入力端子、2は出力端子、3は基準電位接続端子、4はクロック入力端子、6は制御回路、 $P_1, P_2, P_3, P_4, \dots, P_n$ は $pMOS$ 、 $C_1, C_2, C_3, C_4, \dots, C_n$ はコンデンサである。尚、本第2実施形態においては、コンデンサ C_1 の容量 \geq コンデンサ C_2 の容量 $\geq \dots \geq$ コンデンサ C_n の容量としている。

【0032】そして、 $pMOSP_1, P_2, P_3, P_4, \dots, P_n$ は、 $pMOSP_1$ を入力端子1側にし、 $pMOSP_n$ を出力端子2側にして、 $pMOSP_1, pMOSP_2, \dots, pMOSP_n$ の順に、入力端子1と出力端子2との間に直列に接続されている。また、コンデンサ C_m （ $m = 1, 2, \dots, n-1$ ）の一端は $pMOSP_m$ と $pMOSP_{m+1}$ との接続点に接続されており、コンデンサ C_n は出力端子2と基準電位接続端子3との間に接続されている。

【0033】また、制御回路6は、1つの入力端子 I_1 と4つの出力端子 $O_{p0}, O_{c0}, O_{pe}, O_{ce}$ を有しており、入力端子 I_1 にはクロック入力端子4が接続されており、出力端子 O_{p0} には $pMOSP_1, P_3, P_5, \dots$ の奇数段の $pMOS$ のゲートが接続されており、出力端子 O_{pe} には $pMOSP_2, P_4, P_6, \dots$ の偶数段の $pMOS$ のゲートが接続されており、出力端子 O_{c0} にはコンデンサ C_1, C_3, C_5, \dots の奇数段のコンデンサ（最終段のコンデンサ C_n を除く）の $pMOS$ に接続されていない側が接続されており、出力端子 O_{ce} にはコンデンサ C_2, C_4, C_6, \dots の偶数段のコンデンサ（最終段のコンデンサ C_n を除く）の $pMOS$ に接続されていない側が接続されている。

【0034】次に、制御回路6の構成を図6に示す。同図において、61及び63は抵抗及びコンデンサからなる遅延回路、62はバッファ回路、64、66、及び、67は反転回路、65及び68はOR回路である。そして、バッファ回路62の入力は遅延回路61を介して入力端子 I_1 に接続されており、その出力は出力端子 O_{c0} に接続されているとともに、反転回路64を介して出力端子 O_{ce} に接続されている。また、OR回路65の2つの入力の一つは遅延回路63を介してバッファ回路62の出力に接続されており、他方は入力端子 I_1 に接続されており、その出力は出力端子 O_{p0} に接続されている。また、OR回路68の2つの入力の一つは遅延回路63及び反転回路66を介してバッファ回路62の出力に接続されており、他方は反転回路67を介して入力端子 I_1 に接続されており、その出力は出力端子 O_{pe} に接続されている。尚、バッファ回路62の出力には、第1実施形態と同じく、ハイレベル出力とローレベル出力との間に V_{cc} の差があるものとし、以降の説明では、ハイレベル出力を V_{cc} 、ローレベル出力を0としている。

【0035】以上の構成により、制御回路6の入出力関係は、入力端子 I_1 に1つのパルスを与えると、図7に

示すように、出力端子 O_{p0} からの出力は、パルスの立ち上がりと同時にハイレベルとなり、パルスが立ち下ると遅延回路61及び63による遅延時間 $(T_1 + T_2)$ の経過後ローレベルとなる。また、出力端子 O_{c0} からの出力は、パルスが立ち上がると遅延回路61による遅延時間 T_1 の経過後ハイレベル (V_{cc}) となり、パルスが立ち下ると遅延回路61による遅延時間 T_1 の経過後ローレベル (0) となる。また、出力端子 O_{pe} からの出力は、パルスが立ち上がると遅延回路61及び63による遅延時間 $(T_1 + T_2)$ の経過後ローレベルとなり、パルスの立ち下がりと同時にハイレベルとなる。また、出力端子 O_{ce} からの出力は、パルスが立ち上がると遅延回路61による遅延時間 T_1 の経過後ローレベル (0) となり、パルスが立ち下ると遅延回路61による遅延時間 T_1 の経過後ハイレベル (V_{cc}) となる。

【0036】以上の構成の制御回路6を有する図5に示す昇圧回路の入力端子1を電源電圧 V_{cc} に接続し、基準電位接続端子3をグランド電位に接続し、クロック入力端子4に所定のクロックCLKを与えた際の動作を図8を用いて説明する。尚、図8は、図面を簡略化するため、 $n=3$ の場合の各部の動作状態及び各点の電位を表している。

【0037】まず、クロックCLKの立ち上がりと同時に、制御回路6の出力端子 O_{p0} からの出力がハイレベルとなって、奇数段のpMOSP $_{2k-1}$ (k は自然数)がOFFとなり、奇数段のコンデンサ C_{2k-1} の充電(電源電圧によるコンデンサ C_1 の充電、及び、偶数段のコンデンサ C_{2k} から奇数段のコンデンサ C_{2k-1} への電荷の転送)を終了する。

【0038】次に、時間 T_1 の経過後、制御回路6の出力端子 O_{c0} からの出力がハイレベルとなって、奇数段のコンデンサ C_{2k-1} のpMOSに接続されていない側の S_{2k-1} 点の電位はハイレベル (V_{cc}) となり、コンデンサの電荷保存則により、奇数段のコンデンサ C_{2k-1} のpMOSに接続されている側の M_{2k-1} 点の電位は V_{cc} だけ上昇する。また、制御回路6の出力端子 O_{ce} からの出力がローレベルとなって、偶数段のコンデンサ C_{2k} のpMOSに接続されていない側の S_{2k} 点の電位はローレベル (0) となり、コンデンサの電荷保存則により、偶数段のコンデンサ C_{2k} のpMOSに接続されている側の M_{2k} 点の電位は V_{cc} だけ低下する。

【0039】次に、時間 T_2 の経過後、制御回路6の出力端子 O_{pe} からの出力がローレベルとなって、偶数段のpMOSP $_{2k}$ がONとなり、 M_{2k-1} 点の電位と M_{2k} 点の電位とが等しくなるようにコンデンサ C_{2k-1} 、 C_{2k} 間で電荷が移動するが、本実施形態では、 M_{2k-1} 点の電位の方が M_{2k} 点の電位よりも高いので、コンデンサ C_{2k-1} からコンデンサ C_{2k} へ電荷が移動し、コンデンサ C_{2k} の電圧、すなわち、 M_{2k} 点の電位が上昇する。

【0040】そして、クロックCLKの立ち下がりと同

時に、制御回路6の出力端子 O_{pe} からの出力がハイレベルとなって、偶数段のpMOSP $_{2k}$ がOFFとなり、偶数段のコンデンサ C_{2k} の充電(奇数段のコンデンサ C_{2k-1} から偶数段のコンデンサ C_{2k} への電荷の転送)を終了する。

【0041】次に、時間 T_2 の経過後、制御回路6の出力端子 O_{ce} からの出力がハイレベルとなって、 S_{2k} 点の電位はハイレベル (V_{cc}) となり、コンデンサの電荷保存則により、 M_{2k} 点の電位は V_{cc} だけ上昇する。また、制御回路6の出力端子 O_{c0} からの出力がローレベルとなって、 S_{2k-1} 点の電位はローレベル (0) となり、コンデンサの電荷保存則により、 M_{2k-1} 点の電位は V_{cc} だけ低下する。

【0042】次に、時間 T_2 の経過後、制御回路6の出力端子 O_{p0} からの出力がローレベルとなって、奇数段のpMOSP $_{2k-1}$ がONとなり、 M_{2k} 点の電位と M_{2k-1} 点の電位とが等しくなるようにコンデンサ C_{2k} 、 C_{2k-1} 間で電荷が移動するが、本実施形態では、 M_{2k} 点の電位の方が M_{2k-1} 点の電位よりも高いので、コンデンサ C_{2k} からコンデンサ C_{2k-1} へ電荷が移動し、コンデンサ C_{2k-1} の電圧、すなわち、 M_{2k-1} 点の電位が上昇する。尚、コンデンサ C_1 は電源電圧により充電され、その電圧は V_{cc} に復帰する。

【0043】このようにして、クロックCLKが立ち上がる毎に、 M_{2k} 点の電位が上昇して、 $2k \times V_{cc}$ に漸近していき、また、クロックが立ち下がる毎に、 M_{2k-1} 点の電位が上昇して、 $(2k+1) \times V_{cc}$ に漸近していき、最終段のコンデンサ C_n の電圧は $n \times V_{cc}$ となる、すなわち、出力端子2からは昇圧元電圧である V_{cc} の整数倍の電圧が得られ、寄生容量や配線抵抗を無視すれば、昇圧電圧に損失は殆ど発生しない。この理由は以下に示す通りである。

【0044】それは、隣接する2つのコンデンサ、及び、これらのコンデンサに係わる2つのスイッチング素子について着目すると、前段のコンデンサのスイッチング素子に接続されていない側への印加電圧がローレベルからハイレベルに切り換わるとともに、後段のスイッチング素子がOFFからONに切り換わることによって、前段のコンデンサから後段のコンデンサに電荷が転送されるが、この際には、前段のスイッチング素子がOFFであるので、前段のコンデンサに蓄えられた電荷が後段のコンデンサ以外に放出することなく、また、前段のコンデンサのスイッチング素子に接続されていない側への印加電圧がハイレベルからローレベルに切り換わる、前段のスイッチング素子がOFFからONに切り換わる、あるいは、後段のスイッチング素子がONからOFFに切り換わることによって、前段のコンデンサから後段のコンデンサへの電荷の転送が終了するが、前段のコンデンサのスイッチング素子に接続されていない側への印加電圧がハイレベルからローレベルに切り換わる際、

及び、前段のスイッチング素子がOFFからONに切り換わる際には、後段のスイッチング素子がOFFであることからして、後段のスイッチング素子をONからOFFに切り換えるという動作のみによって、前段のコンデンサから後段のコンデンサへの電荷の転送を終了するので、後段のコンデンサに蓄えられた電荷が前段のコンデンサあるいは電源電圧側へ逆流することはないからである。

【0045】尚、上記第2実施形態における各コンデンサの容量の大小関係については、効率を考えれば、コンデンサ C_1 の容量<コンデンサ C_2 の容量<…<コンデンサ C_n の容量としても構わない。

【0046】

【発明の効果】以上の通り、本発明の昇圧回路によれば、昇圧電圧の損失が殆ど生じることなく、その出力には昇圧元電圧の整数倍の電圧が得られ、非常に昇圧効率がよい。したがって、必要以上に昇圧段を設けずに済み、経済的であるとともに、回路面積も縮小されるので、機器のコストダウン及び小型化に貢献することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態である昇圧回路の構成を示す図である。

【図2】 制御回路5の構成を示す図である。

【図3】 制御回路5の入出力関係を説明する図である。

【図4】 本発明の第1実施形態である昇圧回路における、入力端子1に電源電圧 V_{cc} を接続し、基準電位接続端子3をグラウンド電位に接続し、クロック入力端子4にクロックCLKを与えた際の、各部の動作状態及び各点の電位の推移を示す図である。

【図5】 本発明の第2実施形態である昇圧回路の構成を示す図である。

【図6】 制御回路6の構成を示す図である。

【図7】 制御回路6の入出力関係を説明する図である。

*【図8】 本発明の第2実施形態である昇圧回路における、入力端子1に電源電圧 V_{cc} を接続し、基準電位接続端子3をグラウンド電位に接続し、クロック入力端子4にクロックCLKを与えた際の、各部の動作状態及び各点の電位の推移を示す図である。

【図9】 昇圧回路の第1従来例を示す図である。

【図10】 第1従来例の昇圧回路における、入力端子1に電源電圧 V_{cc} を接続し、基準電位接続端子3をグラウンド電位に接続し、クロック入力端子4にクロックCLK₁を与えた際の、各部の動作状態及び各点の電位の推移を示す図である。

【図11】 昇圧回路の第2従来例を示す図である。

【図12】 第2従来例の昇圧回路における、入力端子1に電源電圧 V_{cc} を接続し、基準電位接続端子3をグラウンド電位に接続し、クロック入力端子4にクロックCLK₂を与えた際の、各部の動作状態及び各点の電位の推移を示す図である。

【符号の説明】

1 入力端子

20 2 出力端子

3 基準電位接続端子

4 クロック入力端子

5、6 制御回路

P_1 、 P_2 、…、 P_n pチャネルMOS型FET

C_1 、 C_2 、…、 C_n コンデンサ

51、54 遅延回路

52、57 OR回路

53 バッファ回路

55、56 反転回路

30 61、63 遅延回路

62 バッファ回路

64、66、67 反転回路

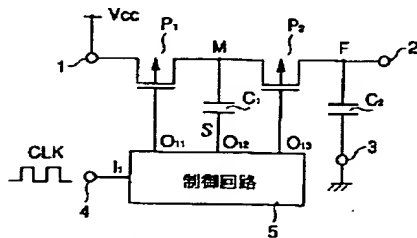
65、68 OR回路

D_1 、 D_2 ダイオード

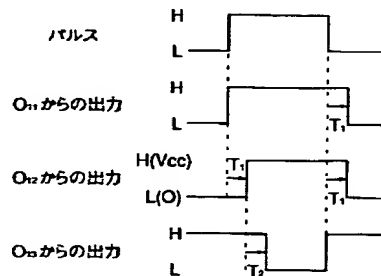
N_1 nチャネルMOS型FET

*

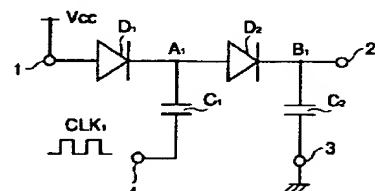
【図1】



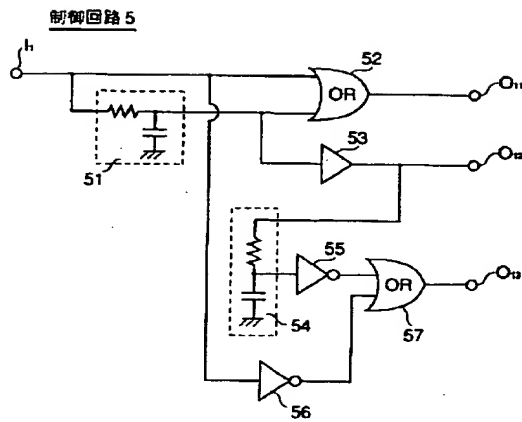
【図3】



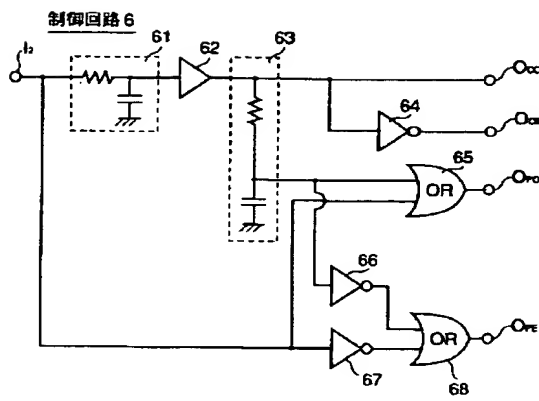
【図9】



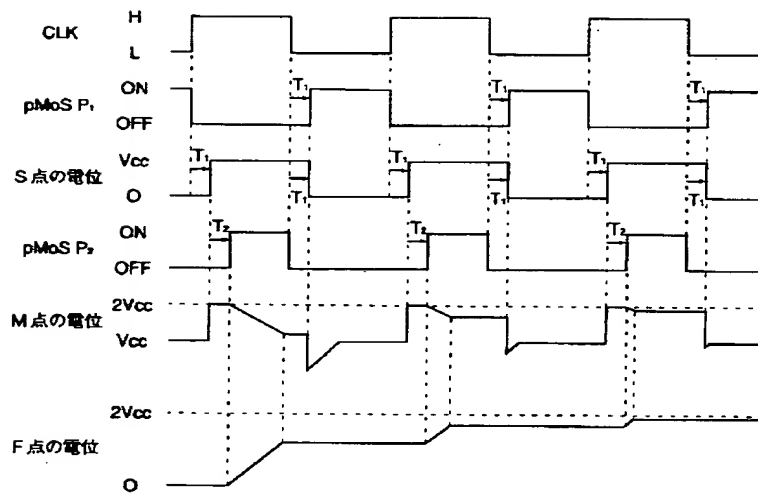
【図2】



【図6】



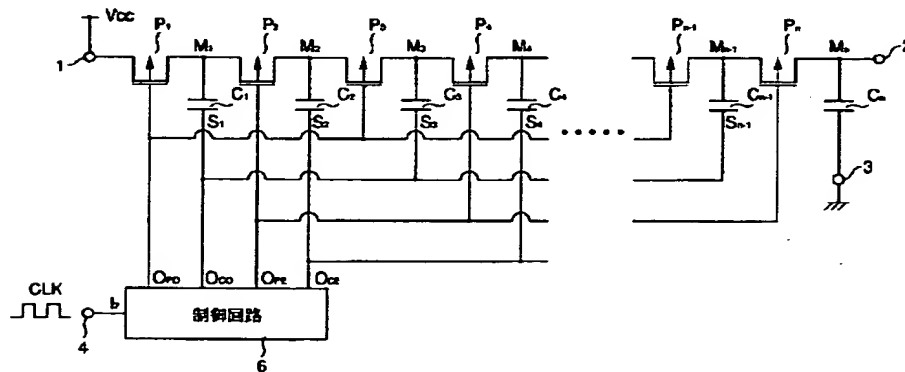
【図4】



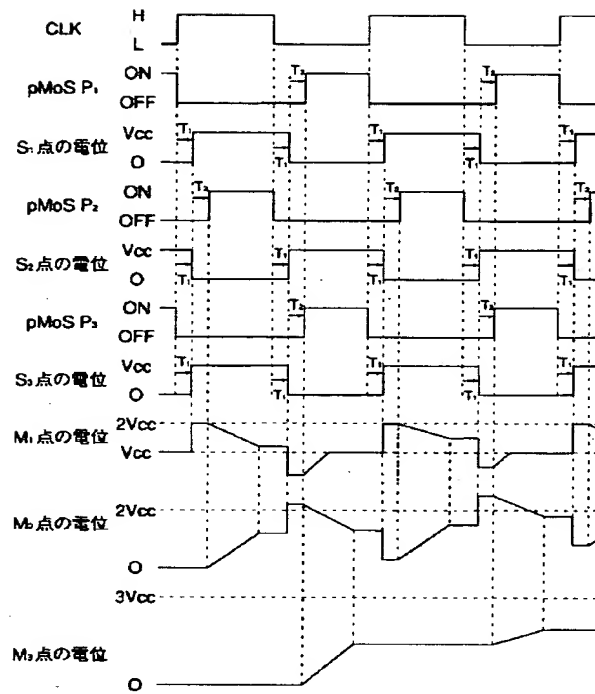
【図7】

パルス

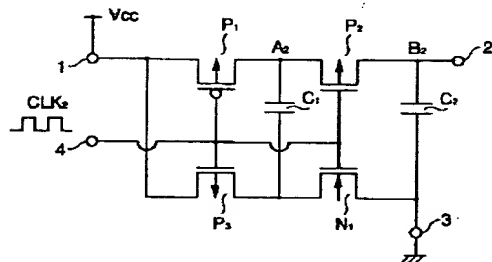
【図5】



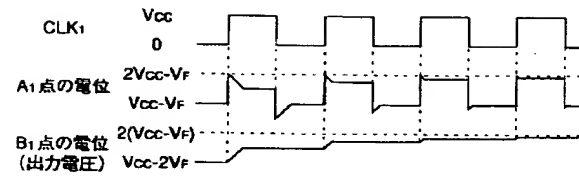
【図8】



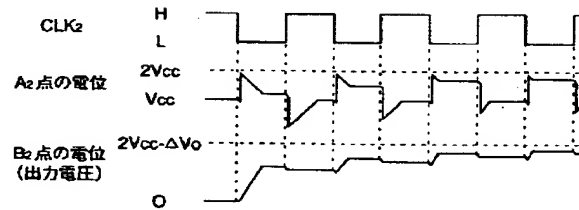
【図11】



【図10】



【図12】



Japanese Laid-Open Patent Publication No. 10-215563

Publication Date: August 11, 1998

Application No. 9-14882

Filing Date: January 29, 1997

Applicant: Rohm Kabushiki Kaisha

Inventor: Sumimasa Tanaka

Title of the Invention: Booster Circuit

CLAIMS:

1. A booster circuit for boosting a voltage input from an input terminal and outputting the boosted voltage from an output terminal by switching n individual switching elements ON/OFF, and switching a voltage applied to n individual capacitors on a side not connected to the switching elements from/to High-level/Low-level, the booster circuit comprising:

n individual (n is an integer such that $n \geq 2$) switching elements disposed between the input terminal and output terminal that do not actually boost the voltage connected in series in the order first switching element, second switching element n th switching element with the first switching element disposed on the input terminal side and the n th switching element disposed on the output terminal side; and

n individual capacitors one terminal of which is connected to a ground having a standard potential and the other terminal of which is connected such that the terminal of the m th capacitor ($m=1, 2, \dots, n-1$) between the m th switching element and the $(m+1)$ switching element, and the other terminal of the n th capacitor is connected to the output terminal side of the n th switching element;

wherein, the m th switching element is OFF when the

voltage applied to the side of the m th capacitor that is not connected to the switching element is switched from low level to high level, and when the $(m+1)$ th switching element is switched from OFF to ON; and the $(m+1)$ th switching element is OFF when the voltage applied to the side of the m th capacitor that is not connected to the switching element is switched from high level to low level, and when the m th switching element is switched from OFF to ON.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001] [FIELD OF THE INVENTION] The present invention relates to a booster circuit for boosting and outputting an input voltage.

[0002] [PRIOR ART] A first conventional example of a booster circuit is shown in Fig. 9. In the drawing, 1 refers to an input terminal, 2 refers to an output terminal, 3 refers to a standard potential connection terminal, 4 refers to a clock input terminal, D1 and D2 refer to diodes, and C1 and C2 refer to capacitors; one terminal of the capacitors C1 and C2 are respectively connected to the cathode side of the diodes D1 and D2 which are connected in series, and the other terminals of the capacitors C1 and C2 are to the clock input terminal 4 and the standard potential connection terminal 3, respectively.

[0003] The booster circuit having the above-mentioned structure operates in the manner described below when the input terminal 1 is connected to a power source voltage V_{cc} , the standard potential connection terminal 3 is connected to a ground potential, and a clock CLK1 is applied to the clock input terminal 4, with high level being V_{cc} and low level being zero [0].

[0004] First, when the clock CLK1 is zero [0], a charge accumulates in the capacitors C1 and C2, respectively, and the potential at point A1 is $V_{cc}-V_f$, and the potential at point B1 becomes $V_{cc}-2V_f$. Then, when the clock CLK1 becomes V_{cc} , the potential at point A1 becomes $2V_{cc}-V_f$ by the rule of capacitor charge conservation; however, the load accumulated by the capacitor C1 is not discharged to the power source voltage V_{cc} side by the diode D1, and soon the load accumulated by the capacitor C1 moves to the capacitor C2 such that the point A1 potential equals the point B1 potential plus V_f , thereby raising the potential of point B1 (the potential at point A1 is reduced to less than $2V_{cc}-V_f$). Thereafter, the potential at point B1 is maintained by the diode D1 even if the clock CLK1 is zero [0]. In this way the potential of point B1 increases each time the clock rises, and approaches $2(V_{cc}-V_f)$, such that a voltage $2(V_{cc}-V_f)$ is output from the output terminal (refer to Fig. 10).

[0005] A second example of a conventional booster circuit is shown in Fig. 11. In the drawing, 1 refers to an input terminal, 2 refers to an output terminal, 3 refers to a standard potential connection terminal, 4 refers to a clock input terminal, P1, P2, and P3 refer to p-channel MOS-type FETs (hereinafter referred to as pMOS), N1 refers to an n-channel MOS-type FET (hereinafter referred to as nMOS), and C1 and C2 refer to capacitors.

[0006] The pMOS P1 and P2 are connected in series between the input terminal 1 and the output terminal 2 with the pMOS P1 connected to the input terminal 1 and the pMOS P2 connected to the output terminal 2; the pMOS P3 and nMOS N1 are connected in series between the input terminal 1 and

the standard potential connection terminal 3 with the pMOS P3 connected to the input terminal 1 side and the nMOS N1 connected to the standard potential connection terminal 3 side. Furthermore, the capacitor C1 is connected between the connection point of the pMOS P1 and the pMOS P1 and the connection point of the pMOS P3 and the nMOS N1; the capacitor C2 is connected between the output terminal 2 and the standard potential connection terminal 3. Moreover, the clock input terminal 4 is connected to the gates of the pMOS P1, P2, P3, and nMOS N1; the connected to the gate of the pMOS P1 is through an inverter circuit not shown in the drawing.

[0007] In the booster circuit of the above-mentioned structure, the input terminal 1 is connected to a power source voltage V_{cc} , and the standard potential connection terminal 3 is connected to a ground potential, and the circuit works in the manner described below by applying a predetermined clock CLK 2 to the clock input terminal 4.

[0008] First, when the clock CLK2 is high level, the pMOS P1, and nMOS N1 are ON, and the pMOS P2 and P3 are OFF; a load accumulates in capacitor C1 and the potential at point A2 becomes V_{cc} . When the clock CLK2 is low level, the pMOS P2 and P3 are ON, and the pMOS P1 and nMOS N1 are OFF; although the potential at point A2 rises to $2V_{cc}$ due to the load accumulated by the capacitor C1 when the clock CLK2 is low level, the load accumulated in the capacitor C1 soon moves to the capacitor C2 to equalize the potential of point A2 and the potential of point B2, and the potential at point B2 (voltage of capacitor C2) rises (the potential at point A12 is less than $2V_{cc}$). In this way the potential at point B2 rises each time the clock CLK2 becomes high level, and

approaches $2V_{cc}-\Delta V_0$ ($-\Delta V_0$ is described later), such that a voltage $2V_{cc}-\Delta V_0$ is output from the output terminal 2 (refer to Fig. 12).

[0009] [PROBLEMS THE INVENTION IS TO SOLVE] In the first conventional example of a booster circuit, there is a loss of only that part of the voltage rise at the switching element (diode) ($2V_f$ in the example), however, the boost efficiency is poor. Furthermore, in the second conventional example of a booster circuit, since MOS FET are used as switching elements there is essentially no voltage drop at the switching elements (that is, the drop can be ignored), however, the boost efficiency is as poor as the first conventional example of a boost circuit, and a loss of ΔV_0 is generated in the boost voltage.

[0010] The reason for the generation of the loss ΔV_0 can be explained in that the pMOS P1 and pMOS P2 are turned ON with mutually reverse phases, however, both are invariably turned ON simultaneously by the generated timing in the structure of the second conventional example, and at that time a current flows from the capacitor C2, which has been boosted above the power source voltage V_{cc} , through the pMOS P3 and P1 to the input terminal 1 side connected to the power source voltage V_{cc} (That is, the load accumulated in the capacitor C2 is released), such that the voltage of the capacitor C2 drops by that amount.

[0011] Essentially, since all four transistors including not only the pMOS P1 and P2 but also the pMOS P3 and nMOS N1 are simultaneously turned ON by the generated timing and the accumulated load of the capacitor C1 is also released, the voltage of the capacitor C1 is less than V_{cc}

when the pMOS P2 and P3 are ON and the pMOS P1 and nMOS N1 are confirmed OFF; and since the voltages at point A2 and point B2 cannot rise to $2V_{cc}$, a loss of ΔV_0 or more is generated.

[0012] In this way in a conventional booster circuit, a loss is generated in the boost voltage, and boost stages (a combination of one switching element and one capacitor) are provided as necessary to compensate for this loss, this provision being uneconomical and increasing the circuit area.

[0013] An object of the present invention is to provide a booster circuit essentially without voltage loss and providing excellent boost efficiency.

[0014] [MEANS FOR SOLVING THE PROBLEMS] The aforesaid object is achieved by providing a booster circuit for boosting a voltage input from an input terminal and outputting the boosted voltage from an output terminal by switching n individual switching elements ON/OFF, and switching a voltage applied to n individual capacitors on a side not connected to the switching elements from/to high level/low level, the booster circuit including n individual (n is an integer such that $n \geq 2$) switching elements disposed between the input terminal and output terminal that do not actually boost the voltage connected in series in the order first switching element, second switching element n th switching element with the first switching element disposed on the input terminal side and the n th switching element disposed on the output terminal side; and n individual capacitors one terminal of which is connected to a ground having a standard potential and the other terminal of which

is connected such that the terminal of the m th capacitor ($m=1, 2, \dots, n-1$) between the m th switching element and the $(m+1)$ th switching element, and the other terminal of the n th capacitor is connected to the output terminal side of the n th switching element; wherein, the m th switching element is OFF when the voltage applied to the side of the m th capacitor that is not connected to the switching element is switched from low level to high level, and when the $(m+1)$ th switching element is switched from OFF to ON; and the $(m+1)$ th switching element is OFF when the voltage applied to the side of the m th capacitor that is not connected to the switching element is switched from high level to low level, and when the m th switching element is switched from OFF to ON.

[0015] Looking at the two adjacent capacitors of the m th capacitor and the $(m+1)$ th capacitor and the two switching elements of the m th switching element and the $(m+1)$ th switching element associated with these capacitors in the booster circuit of the structure above, the load is transferred from the first stage capacitor to the next stage capacitor ($(m+1)$ th capacitor) by switching the voltage from low level to high level applied to the side of the first stage capacitor (m th capacitor) which is not connected to the switching element and switching the next stage capacitor ($(m+1)$ th capacitor) from OFF to ON, but since the first stage switching element (m th switching element) is OFF at this time, the load accumulated by the first stage capacitor is not released beyond the next stage capacitor.

[0016] The transfer of the load from the first stage capacitor to the next stage capacitor is ended by switching from high level to low level the voltage applied to the side

of the first stage capacitor which is not connected to the switching element, switching the first stage switching element from OFF to ON, or switching the next stage switching element from ON to OFF; when the voltage switched from high level to low level is applied to the first capacitor on the side not connected to the switching element, and when the first switching element is switched from OFF to ON, the transfer of the load from the first stage capacitor to the next stage capacitor is ended after the next stage switching element is OFF, or only by the operation of switching the next stage element from ON to OFF, such that the load accumulated by the next stage switching element cannot flow in the reverse direction to the first capacitor or to the power source voltage side.

[0017] According to the structure of the present invention described above, the voltage of the last stage capacitor (nth capacitor), that is, the output voltage of the booster circuit, is generated without loss to the boost voltage because when the boost source voltage (voltage applied to each capacitor on the side not connected to the switching element (difference between high level and low level)) is designated V_{cc} , the voltage becomes $n \times V_{cc}$, and a voltage is obtained which is an integer multiple of the boost source voltage if the parasitic capacity and line resistance are ignored.

[0018] [EMBODIMENTS OF THE INVENTION] The embodiments of the present invention are described hereinafter with reference to the drawings. Fig. 1 shows the structure of a first embodiment of the booster circuit of the present invention; 1 refers to an input terminal, 2 refers to an output terminal, 3 refers to a standard potential connection

terminal, 4 refers to a clock input terminal, 5 refers to a control circuit; P1 and P2 are pMOS, C1 and C2 are capacitors. In the first embodiment, the capacity of the capacitor C1 is greater than or equal to the capacity of the capacitor C2.

[0019] The pMOS P1 and P2 are connected in series between the input terminal 1 and the output terminal 2 with the pMOS P1 connected to the input terminal 1 and the pMOS P2 connected to the output terminal 2. Furthermore, one end of the capacitor C1 is connected to the junction point of the pMOS P1 and the pMOS P2; and the capacitor C2 is connected between the output terminal 2 and the standard potential connection terminal 3. The control circuit 5 has one input terminal I1, and three output terminals O11, O12, O13; the clock input terminal 4 is connected to the input terminal I1, and the gates of the pMOS P1 and P2 are connected to the output terminals O11 and O13, respectively; the side of the capacitor C1 which is not connected to the junction point of the pMOS P1 and pMOS P2, is connected to the output terminal O12.

[0020] The structure of the control circuit is shown in Fig. 2. In the drawing, 51 and 54 refer to delay circuits configured by resistors and capacitors, 52 and 57 refer to OR circuits, 53 refers to a buffer circuit, and 55 and 56 refer to inversion circuits. One of the two inputs of the OR circuit 52 is directly connected to the input terminal I1, and the other input is connected through the delay circuit 51 to the input terminal I1, and the output is connected to the output terminal O11. The input of the buffer circuit 53 is connected through the delay circuit 51 to the input terminal I1, and the output is connected to the output

terminal O12. One of the two inputs of the OR circuit 57 is connected to the output of the buffer circuit 53 through the delay circuit 54 and the inversion circuit 55, the other input is connected through the inversion circuit 56 to the input terminal I1, and the output is connected to the output terminal O13. Furthermore, the difference between the high level output and the low level output of the buffer circuit 53 is Vcc; in the following description, the high level output is Vcc and the low level output is zero [0].

[0021] According to the structure above, the input/output relationship of the control circuit 5 is such that when a single pulse is applied to the input terminal I1, as shown in Fig. 3, the output from the output terminal O11 becomes high level simultaneously with the pulse rise, and becomes low level after the pulse falls and a delay time T1 has elapsed by the delay circuit 51; furthermore, the output from the output terminal O12 becomes high level (Vcc) after the pulse rises and a delay time T1 has elapsed by the delay circuit 51, and becomes low level (zero [0]) after the pulse falls and a delay time T1 has elapsed by the delay circuit 51; moreover, the output from the output terminal O13 becomes low level after the pulse rises and a delay time T1 by the delay circuit 51 and a delay time T2 by the delay circuit 54 have elapsed, and becomes high level simultaneously with the pulse rise.

[0022] The operation of the booster circuit shown in Fig. 1 provided with the control circuit 5 having the above mentioned structure when the input terminal 1 of is connected to the power source voltage Vcc, the standard potential connection terminal 3 is connected to a ground potential, and a predetermined clock CLK is applied to the

clock input terminal 4, is described below using Fig. 4.

[0023] First, the output from the output terminal O11 of the control circuit 5 becomes high level simultaneously with the rise of the clock signal CLK, the pMOS P1 is turned OFF, and the charging of the capacitor C1 by the power source voltage ends (at this time the voltage of the capacitor C1 is V_{cc}). Then, after a time $T1$ has elapsed, the output from the output terminal O12 of the control circuit 5 becomes high level, and the potential at point S on the side of the capacitor C1 that is not connected to the pMOS P1 and pMOS P2 becomes high level (V_{cc}), and the potential at point M at the junction of the pMOS P1 and pMOS P2 is raised to $2V_{cc}$ according to the rule of capacitor charge conservation.

[0024] Next, after a time $T2$ has elapsed, the output from the output terminal O13 of the control circuit 5 becomes low level, the pMOS P2 is turned ON, and the load moves between the capacitors C1 and C2 so as to equalize the potential at point M and the potential at point F on the side of the output terminal 2 of the capacitor C2; however, since the potential at point M is lower than the potential at point F at this time, the load travels from the capacitor C1 to the capacitor C2, and the voltage of the capacitor C2, that is, the potential at point F, rises.

[0025] Then, the output from the output terminal O13 of the control circuit 5 becomes high level simultaneously with the fall of the clock signal CLK, the pMOS P2 is turned OFF, and the charging of the capacitor C2 (transfer of the load from the capacitor C1 to the capacitor C2) ends. Next, after a time $T1$ has elapsed, the outputs from the output terminals O11 and O12 become low level, the pMOS P1 is turned ON, the

potential at point S falls to low level (zero [0]), and the potential at point M is momentarily less than V_{cc} ; however, the capacitor C1 is quickly recharged by the power source voltage and restored to V_{cc} .

[0026] In this way the potential at point F rises each time the clock signal CLK rises, and the output from the output terminal 2 is a total voltage of $2V_{cc}$ by the combined power source voltage V_{cc} which is the boost source voltage and the voltage V_{cc} applied to the capacitor on the side that is not connected to the switching element, such that a loss is not generated in the boost voltage. The reasons for this are described below.

[0027] The load accumulated by the first capacitor is transferred to the next capacitor (capacitor C2) by setting the potential of the first stage capacitor (capacitor C1) on the side (point S) that is not connected to a switching element to high level and turning ON the next stage switching element (pMOS P2), but since the first stage switching element (pMOS P1) is confirmed OFF, the load accumulated by the first stage capacitor is not released beyond the next stage capacitor; furthermore, the transfer of the load from the first stage capacitor to the next stage capacitor ends by setting the potential of the first stage capacitor to low level on the side that is not connected to the switching element and turning On the first stage switching element, or turning OFF the next stage switching element; when the potential of the capacitor is set to low level on the side that is not connected to the switching element, and when the first stage switching element is turned ON, the load accumulated by the next stage capacitor does not flow in the reverse direction to the first stage

capacitor or the power source voltage side since the transfer of the load from the first stage capacitor to the next stage capacitor was ended by turning OFF the next stage switching element.

[0028] Although the sequential relationship of the timing for setting the potential at point S to low level and the timing for turning ON the first stage switching element is the same as in the first embodiment, this relationship is not necessarily required inasmuch as the first stage switching element may be turned ON after the potential at the point S is set to low level, and the potential of the point S may be set to low level after the first switching element is turned ON.

[0029] Similarly, the sequential relationship of the timing for setting the potential at point S to high level and the timing for turning ON the next stage switching element has the next stage switching element turn ON after the potential at point S is set to high level in the first embodiment, this relationship is not necessarily required inasmuch as the potential of the point S may be set to high level after the next switching element is turned ON, and the timing for setting the potential at the point S and the timing for turning ON the next switching element may be simultaneous.

[0030] The structure of the booster circuit of a second embodiment of the present invention is shown in Fig. 5. In the booster circuit of the second embodiment, there are n ($n > 2$) booster stages provided compared to just two booster stages in the first embodiment, and as a consequence the structure of the control circuit has been modified to switch

ON/OFF the switching elements and switch the voltage applied to the capacitor to the side that is not connected to the switching element.

[0031] In Fig. 5, 1 refers to an input terminal 2 refers to an output terminal, 3 refers to a standard potential connection terminal, 4 refers to a clock input terminal, 6 refers to a control circuit, P1, P2, P3, P4,...Pn refer to pMOS, and C1, C2, C3, C4,...Cn refer to capacitors. In the second embodiment, the capacity of the capacitor C1 \geq the capacity of the capacitor C2,... \geq the capacity of the capacitor Cn.

[0032] The pMOS P1, P2, P3, P4,...Pn are connected in series between the input terminal 1 and the output terminal 2 in the sequence of pMOS P1, pMOS P2,...pMOS Pn, with the pMOS P1 connected to the input terminal 1 side, and pMOS Pn connected to the output terminal 2 side. One end of the capacitor Cm (m=1, 2,...n-1) is connected to the junction point of the pMOS Pm and the pMOS Pm+1, and the capacitor Cn is connected between the output terminal 2 and the standard potential connection terminal 3.

[0033] The control circuit 6 has one input terminal I2, and four output terminals Opo, Oco, Ope, Oce; the clock input terminal 4 is connected to the input terminal I1, the gates of the odd numbered pMOS P1, P3, P5 and the like are connected to the output terminal Opo, the gates of the even numbered pMOS P2, P4, P6 and the like are connected to the output terminal Ope, the odd numbered capacitors C1, C3, C5 and the like (excluding the last stage capacitor Cn) on the side that is not connected to the pMOS are connected to the output terminal Oco, and the even numbered capacitors C2,

C4, C6 and the like (excluding the last stage capacitor C_n) are connected on the side that is not connected to the pMOS to the output terminal Oce.

[0034] The structure of the control circuit 6 is shown in Fig. 6. In the drawing, 61 and 63 refer to delay circuits configured by resistors and capacitors, 62 refers to a buffer circuit, 64, 66, and 67 refer to inversion circuits, 65 and 68 refer to OR circuits. The input of the buffer circuit 62 is connected to the input terminal I2 through the delay circuit 61, and the output is connected to both the output terminal Oco, and to the output terminal Oce through the inversion circuit 64. One of the two inputs of the two OR circuit 65 is connected to the output of the buffer circuit 62 through the delay circuit 63, and the other input is connected to the input terminal I2, and the other output is connected to the output terminal Opo. furthermore, one of the two inputs of the OR circuit 68 is connected to the output of the buffer circuit 62 through the delay circuit 63 and inversion circuit 66, and the other input is connected to the input terminal I2 through the inversion circuit 67, and the output is connected to the output terminal Ope. Similar to the first embodiment, the output of the buffer circuit 62 has a difference V_{cc} between the high level output and the low level output, and in the following description the high level output is V_{cc} and the low level output is zero [0].

[0035] According to the structure mentioned above, the input/output relationship of the control circuit 6 is such that when a single pulse is applied to the input terminal I2, as shown in Fig. 7, the output from the output terminal Opo becomes high level simultaneously with the pulse rise,

and becomes low level after the pulse falls and a delay time (T_1+T_2) has elapsed by the delay circuits 61 and 63. Furthermore, the output from the output terminal Oco becomes high level (V_{cc}) after the pulse rises and a delay time T_1 has elapsed by the delay circuit 61, and becomes low level (zero [0]) after the pulse falls and a delay time T_1 has elapsed by the delay circuit 61. Moreover, the output from the output terminal Ope becomes low level after the pulse rises and a delay time (T_1+T_2) has elapsed by the delay circuits 61 and 63, and becomes high level simultaneously with the pulse fall. The output from the output terminal Oce becomes low level (zero [0]) after the pulse rises and a delay time T_1 has elapsed by the delay circuit 61, and becomes high level (V_{cc}) after the pulse falls and a delay time T_1 has elapsed by the delay circuit 61.

[0036] The operation of the booster circuit shown in Fig. 5 having the control circuit 6 with the previously described structure is described below using Fig. 8 when the input terminal 1 is connected to a power source voltage V_{cc} , the standard potential connection terminal 3 is connected to a ground potential, and a predetermined clock signal CLK is applied to the clock input terminal 4. To simplify the drawing, Fig. 8 shows the potential at each point and the operating condition of each part when $n=3$.

[0037] First, the output from the output terminal Opo of the control circuit 6 becomes high level simultaneously with the rise of the clock CLK, the odd numbered pMOS P_{2k-1} (where k is a natural number) are turned OFF, and the charging of the odd numbered capacitors C_{2k-1} (charging of the capacitor C_1 by the power source voltage and transfer of the loads from the even numbered capacitors C_{2k} to the odd

numbered capacitors C_{2k+1}) ends.

[0038] The output from the output terminal O_{co} of the control circuit 6 becomes high level after a time T_1 has elapsed, and the potential of the odd numbered capacitors C_{2k-1} at point S_{2k-1} on the side that is not connected to the pMOS becomes high level (V_{cc}), and by the rule of capacitor charge conservation the potential of the odd numbered capacitors C_{2k-1} at point M_{2k-1} on the side that is not connected to the pMOS rises by V_{cc} . Furthermore, the output from the output terminal O_{ce} of the control circuit 6 becomes low level and the potential of the even numbered capacitors C_{2k} at point S_{2k} on the side that is not connected to the pMOS becomes low level (zero [0]), and by the rule of capacitor charge conservation, the potential of the even numbered capacitors C_{2k} at the point M_{2k} on the side that is not connected to the pMOS is reduced by V_{cc} .

[0039] After a time T_2 has elapsed, the output from the output terminal O_{pe} of the control circuit 6 becomes low level, and the even numbered pMOS P_{2k} are turned ON, and the load travels between the capacitors C_{2k-1} and C_{2k} so as to equalize the potential at point M_{2k} and the potential at point M_{2k-1} ; since the potential at point M_{2k-1} is higher than the potential at point M_{2k} in the present embodiment, the load travel from the capacitor C_{2k-1} to the capacitor C_{2k} , and the voltage of the capacitor C_{2k} , that is, the potential at point M_{2k} , rises.

[0040] Then, the output from the output terminal O_{pe} of the control circuit 6 becomes high level simultaneously with the fall of the clock signal CLK , the even numbered pMOS P_{2k} are turned OFF, and the charging of the even numbered

capacitors C_{2k} (transfer of the load from the odd numbered capacitors C_{2k-1} to the even numbered capacitors C_{2k}) ends.

[0041] Then, after a time T_1 elapses, the output from the output terminal O_{ce} of the control circuit 6 becomes high level, and the potential at point S_{2k} becomes high level, and the potential at point M_{2k} rises by V_{cc} according to the rule of capacitor charge conservation. Furthermore, the output from the output terminal O_{co} of the control circuit 6 become low level, the potential at point S_{2k-1} becomes low level (zero [0]), and the potential at point M_{2k-1} falls by V_{cc} according to the rule of capacitor charge conservation.

[0042] Then, after a time T_2 elapses, the output from the output terminal O_{po} of the control circuit 6 becomes low level, the odd numbered pMOS P_{2k-1} are turned ON, and the load travels between capacitors C_{2k} and C_{2k+1} so as to equalize the potential at point M_{2k} and the potential at point M_{2k+1} ; however, since the potential at point M_{2k} is higher than the potential at point M_{2k+1} in the present embodiment, the load travel from the capacitor C_{2k} to the capacitor C_{2k+1} , and the voltage of the capacitor C_{2k+1} , that is, the potential at point M_{2k+1} , rises. The capacitor C_1 is also charged by the power source voltage, and its voltage is restored to V_{cc} .

[0043] In this way the potential at point M_{2k} rises each time the clock signal CLK rises, and approaches $2k \times V_{cc}$; furthermore, the potential at point M_{2k+1} rises each time the clock falls, and approaches $(2k+1) \times V_{cc}$; The voltage of the last stage capacitor C_n becomes $n \times V_{cc}$, that is, a voltage is obtained which is an integer multiple of V_{cc} the

boost source voltage from the output terminal 2, and there is no loss of boost voltage if the parasitic capacity and line resistance is ignored. The reason for this is described below.

[0044] Looking at two adjacent capacitors and the two switching elements of the associated with these capacitors, the load is transferred from the first stage capacitor to the next stage capacitor by switching the voltage from low level to high level applied to the side of the first stage capacitor which is not connected to the switching element and switching the next stage capacitor from OFF to ON, but since the first stage switching element is OFF at this time, the load accumulated by the first stage capacitor is not released beyond the next stage capacitor; furthermore, the transfer of the load from the first stage capacitor to the next stage capacitor is ended by switching from high level to low level the voltage applied to the side of the first stage capacitor that is not connected to the switching element, switching the first stage switching element from OFF to ON, or switching the next stage switching element from ON to OFF; when the voltage switched from high level to low level is applied to the first capacitor on the side not connected to the switching element, and when the first switching element is switched from OFF to ON, the transfer of the load from the first stage capacitor to the next stage capacitor is ended after the next stage switching element is OFF, or only by the operation of switching the next stage element from ON to OFF, such that the load accumulated by the next stage switching element cannot flow in the reverse direction to the first capacitor or to the power source voltage side.

[0045] The relationship of the capacities of the capacitors in the second embodiment may be capacity capacitor C1 < capacity capacitor C2 <...< capacity of capacitor Cn if efficiency is not a consideration.

[0046] [EFFECT OF THE INVENTION] As described above the booster circuit of the present invention has an output voltage which is an integer multiple of the boost source voltage and does not generate any loss of the boost source voltage, thereby providing extreme boost efficiency. Accordingly, economies are derived in that boost stages are not provided in excess of what is necessary, and the circuit area is small, such that the device is less expensive and more compact.

[BRIEF DESCRIPTION OF THE DRAWINGS]

Fig. 1 shows the structure of a booster circuit of a first embodiment of the present invention;

Fig. 2 shows the structure of the control circuit 5;

Fig. 3 illustrates the input/output relationship of the control circuit 5;

Fig. 4 shows the movement of the potential at each point and the operating condition of each part when the power source voltage Vcc is connected to the input terminal 1, the standard potential connection terminal 3 is connected to a ground potential, and a clock CLK is input to the clock input terminal 4 in the booster circuit in the first embodiment of the present invention;

Fig. 5 shows the structure of the booster circuit of a second embodiment of the present invention;

Fig. 6 shows the structure of the control circuit 6;

Fig. 7 illustrates the input/output relationship of the

control circuit 6;

Fig. 8 shows the movement of the potential at each point and the operating condition of each part when the power source voltage V_{cc} is connected to the input terminal 1, the standard potential connection terminal 3 is connected to a ground potential, and a clock CLK is input to the clock input terminal 4 in the booster circuit in the second embodiment of the present invention;

Fig. 9 shows a first conventional example of a booster circuit;

Fig. 10 shows the movement of the potential at each point and the operating condition of each part when the power source voltage V_{cc} is connected to the input terminal 1, the standard potential connection terminal 3 is connected to a ground potential, and a clock CLK is input to the clock input terminal 4 in the booster circuit in the first conventional example;

Fig. 11 shows a second conventional example of a booster circuit;

Fig. 12 shows the movement of the potential at each point and the operating condition of each part when the power source voltage V_{cc} is connected to the input terminal 1, the standard potential connection terminal 3 is connected to a ground potential, and a clock CLK is input to the clock input terminal 4 in the booster circuit in the second conventional example.

[DESCRIPTION OF THE REFERENCE NUMBERS]

- 1) Input terminal
- 2) Output terminal
- 3) Standard potential connection terminal
- 4) Clock input terminal
- 5, 6) Control circuit

P1, P2, ... Pn) p-channel MOS-type FET
C1, C2, ... Cn) Capacitors
51, 54) Delay circuit
52, 57) OR circuit
53) Buffer circuit
55, 56) Inversion circuit
61, 63) Delay circuit
62) Buffer circuit
64, 66, 67) Inversion circuit
65, 68) OR circuit
D1, D2) diode
N1) n-channel MOS-type FET

及び、前段のスイッチング素子がOFFからONに切り換わる際には、後段のスイッチング素子がOFFであることからして、後段のスイッチング素子をONからOFFに切り換えるという動作のみによって、前段のコンデンサから後段のコンデンサへの電荷の転送を終了するので、後段のコンデンサに蓄えられた電荷が前段のコンデンサあるいは電源電圧側へ逆流することはないからである。

【0045】尚、上記第2実施形態における各コンデンサの容量の大小関係については、効率を考えなければ、コンデンサ C_1 の容量<コンデンサ C_2 の容量<…<コンデンサ C_n の容量としても構わない。

【0046】

【発明の効果】以上の通り、本発明の昇圧回路によれば、昇圧電圧の損失が殆ど生じることなく、その出力には昇圧元電圧の整数倍の電圧が得られ、非常に昇圧効率がよい。したがって、必要以上に昇圧段を設けずに済み、経済的であるとともに、回路面積も縮小されるので、機器のコストダウン及び小型化に貢献することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態である昇圧回路の構成を示す図である。

【図2】 制御回路5の構成を示す図である。

【図3】 制御回路5の入出力関係を説明する図である。

【図4】 本発明の第1実施形態である昇圧回路における、入力端子1に電源電圧 V_{cc} を接続し、基準電位接続端子3をグランド電位に接続し、クロック入力端子4にクロックCLKを与えた際の、各部の動作状態及び各点の電位の推移を示す図である。

【図5】 本発明の第2実施形態である昇圧回路の構成を示す図である。

【図6】 制御回路6の構成を示す図である。

【図7】 制御回路6の入出力関係を説明する図である。

*【図8】 本発明の第2実施形態である昇圧回路における、入力端子1に電源電圧 V_{cc} を接続し、基準電位接続端子3をグランド電位に接続し、クロック入力端子4にクロックCLKを与えた際の、各部の動作状態及び各点の電位の推移を示す図である。

【図9】 昇圧回路の第1従来例を示す図である。

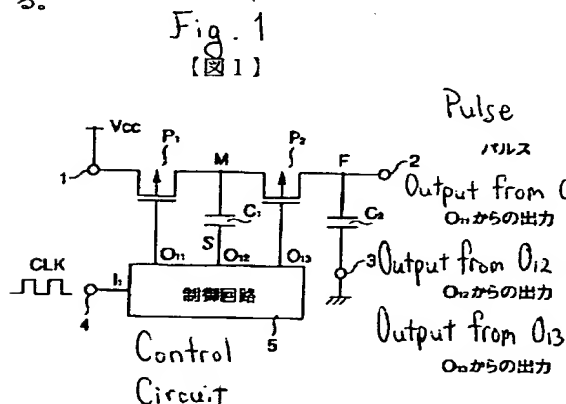
【図10】 第1従来例の昇圧回路における、入力端子1に電源電圧 V_{cc} を接続し、基準電位接続端子3をグランド電位に接続し、クロック入力端子4にクロックCLK₁を与えた際の、各部の動作状態及び各点の電位の推移を示す図である。

【図11】 昇圧回路の第2従来例を示す図である。

【図12】 第2従来例の昇圧回路における、入力端子1に電源電圧 V_{cc} を接続し、基準電位接続端子3をグランド電位に接続し、クロック入力端子4にクロックCLK₂を与えた際の、各部の動作状態及び各点の電位の推移を示す図である。

【符号の説明】

- 1 入力端子
- 2 出力端子
- 3 基準電位接続端子
- 4 クロック入力端子
- 5、6 制御回路
- P_1, P_2, \dots, P_n pチャネルMOS型FET
- C_1, C_2, \dots, C_n コンデンサ
- 51、54 遅延回路
- 52、57 OR回路
- 53 バッファ回路
- 55、56 反転回路
- 61、63 遅延回路
- 62 バッファ回路
- 64、66、67 反転回路
- 65、68 OR回路
- D_1, D_2 ダイオード
- N_1 nチャネルMOS型FET



* Fig. 3
【図3】

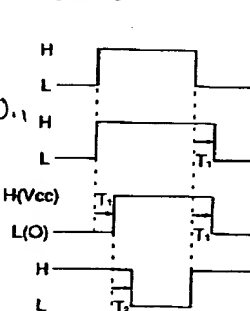


Fig. 9
【図9】

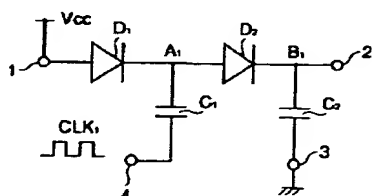
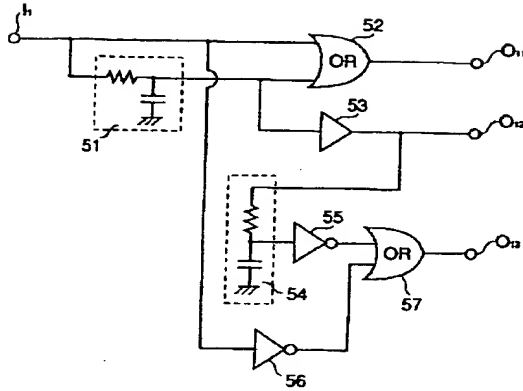
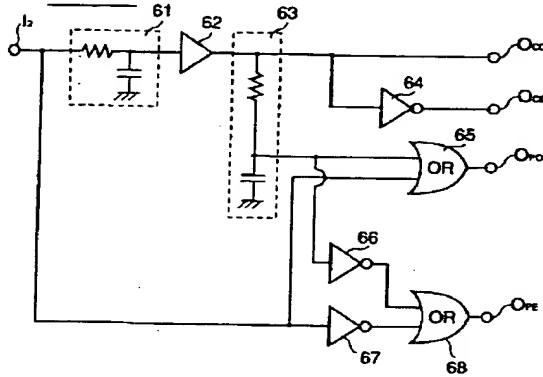
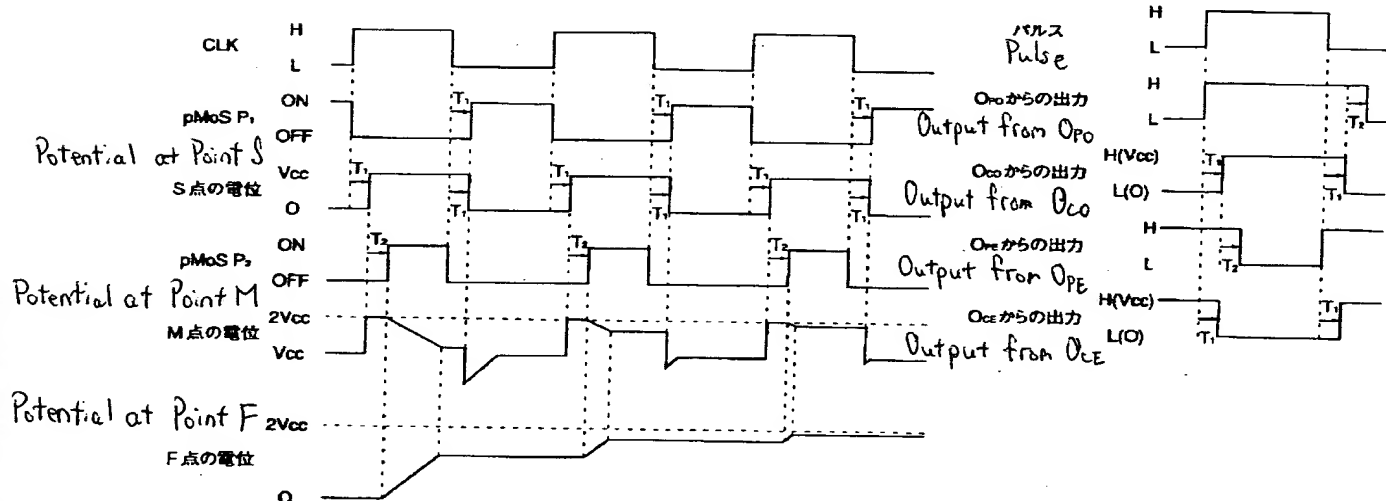


Fig. 2
【図2】Control Circuit 5
制御回路5Fig. 4
【図4】Fig. 6
【図6】Control Circuit 6
制御回路6Fig. 7
【図7】

【図5】 Fig. 5

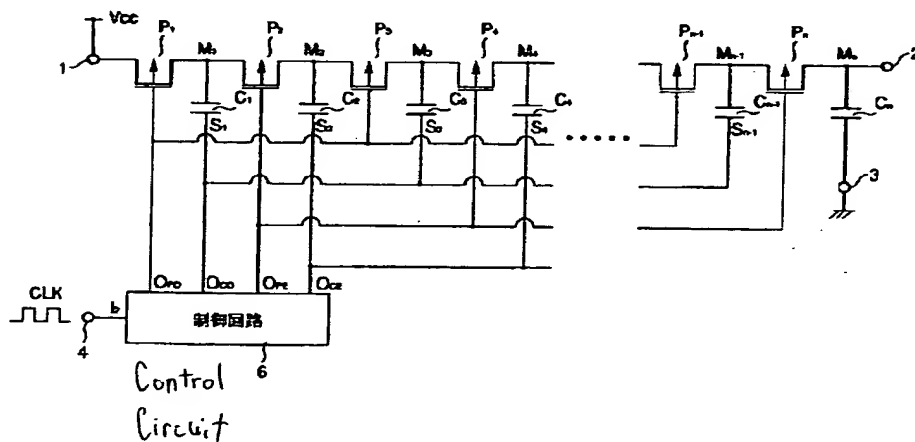
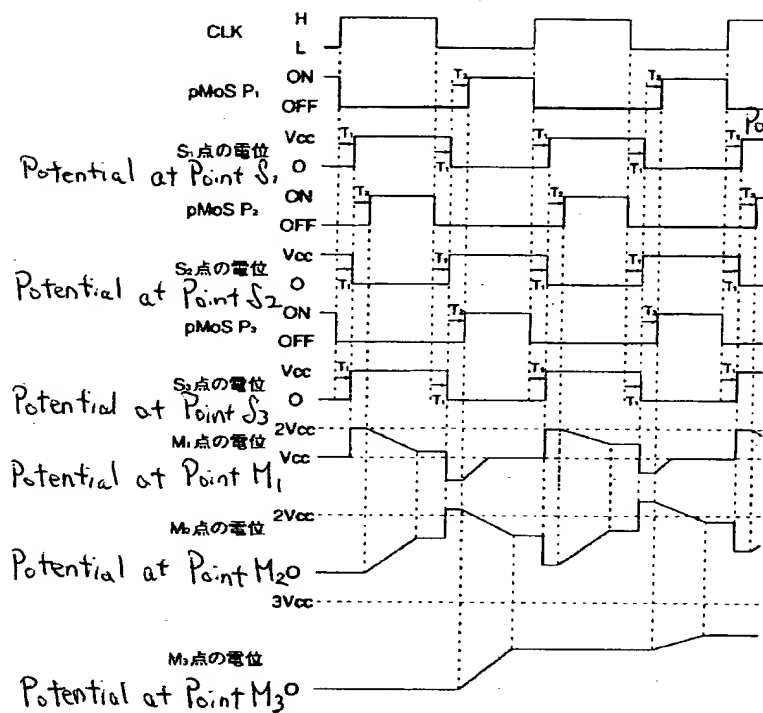
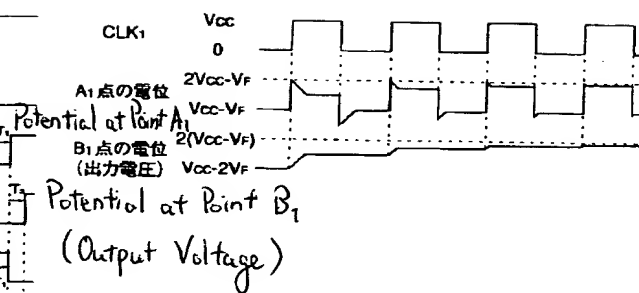
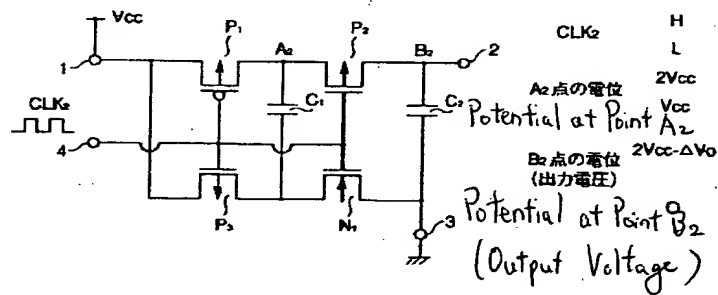


Fig. 8
[図8]Fig. 10
[図10]

[図11] Fig. 11



[図12] Fig. 12

